

DIALOG(R)File 347:JAPIO
(c) 1998 JPO & JAPIO. All rts. reserv.

00010272

MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICES

PUB. NO.: 51-121272 [JP 51121272 A]

PUBLISHED: October 23, 1976 (19761023)

INVENTOR(s): UENO ATSUSHI
ISHIHARA TAKESHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 50-047034 [JP 7547034]

FILED: April 17, 1975 (19750417)

INTL CLASS: [2] H01L-029/78; H01L-029/04; H01L-021/265

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,

MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 6, Vol. 01, No. 21, Pg. 989, March 25, 1977 (19770325)

ABSTRACT

PURPOSE: To provide a method of construction that prevents breakage of the wiring in Si gate MOST.

公開特許公報

特許願(14)

昭和 50年 4月 17日

特許庁長官殿

1 発明の名称

ヘッドライソワナ
半導体装置の製造方法

2 発明者

住所 大阪府門真市大字門真1006番地
松下電器産業株式会社内氏名 上　義　アシ
(はか1名)

3 特許出願人

住所 大阪府門真市大字門真1006番地
名前 (582) 松下電器産業株式会社
代表者 松下正治

4 代理人

住所 大阪府門真市大字門真1006番地
松下電器産業株式会社内
氏名 (5971) 井理士 中尾敏男
(はか1名)
(送信先電話06453-3111特許分室)

5添付書類の目録

(1) 明細書	1 通
(2) 図面	1 通
(3) 委任状	1 通
(4) 領吉副本	1 通

⑯特開昭 51-121272

⑬公開日 昭51.(1976)10.23

⑰特願昭 50-47034

⑪出願日 昭50.(1975)4.17

審査請求 未請求 (全3頁)

庁内整理番号

6426 57

6684 57

⑫日本分類

99(5)E3

99(5)B1

⑮Int.C12

H01L 29/78

H01L 29/04

H01L 21/265

第　　細　　書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

一表面にソース及びドレイン遮蔽膜を有する半導体基板の裏面一表面に電極膜を介して多結晶シリコン半導体を形成する工程と、ゲート部以外の前記多結晶シリコン半導体に陽電子イオン、陰電子イオンの内の1種を注入して前記多結晶シリコン半導体を活性化する工程と、前記ゲート部に電極金属膜を付着する工程とを備えたことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は、次に述べる如きの半導体装置の製造方法に関するものである。

以下従来例と本発明について図面とともに説明する。

第1図に従来のMOS型構成回路を製造する場合の工程図を示す。

従来のMOS型構成回路を製造する場合、まず

清浄処理を行なったシリコン基板1上にシリコン酸化膜2を熱凍結にて形成した後、ゲート酸化膜形成マスクではあけを行なう(第1図A)。

次に熱凍結にてゲート酸化膜3(800~2000Å)を形成し(第1図B)。その上に重ねてソース、ドレイン形成用抵抗にはさむ金は鋼にモリブデン(Mo)、シリコン(Si)等を添加し、ゲート電極形成マスクを用いて電極メタル4を露光エッチャングにより形成し(第1図C)。電極メタル4をセルフアライニアリングマスクとしてソース及びドレイン形成膜5上のゲート酸化膜3を除去した後、熱成形法やイオンインプランテーション法で適当な抵抗膜を用いてソース及びドレイン形成膜5を形成する。次に並行等高した薄いシリコン酸化膜を除去する(第1図D)。

その後表面処理(シリコン酸化膜、シリコン酸化膜、アルミニナ掩蔽)を形成しコントロールホール形成マスクを用いてゲート電極取り出し用コンタクトホール6を形成する(第1図E)。

最後に配線用メタル7として使用するための金

半導体元素たるアルミニウム(Al)、セリウム(Mo)、ニッケル(Ni)等を基板表面に真空蒸着法で形成(ここでてはゲート電極の配線部分)し配線を完成する(第1図D)。以上の如く従来のMOS型場柵回路を製造するにあたってゲート電極配線部10の側面で電極メタル(例えばポリシリコン)4の角部が重なりため完全に配線されずに切れを生じたり、またゲート電極取り出し用コンタクトホールの大きさがゲートの巾に制約されるなどの欠点がある。

本発明は上述の欠点を解消するためになされたもので、半導体基板上にポリシリコンを形成させて、ゲート部分以外をイオンインプランテーション法でチャージシリコン(Si₃N₄)の被膜物にせしめ平坦構造にすることによりゲートと金属配線を確実にせしめる半導体装置の製造方法を提供することを目的とする。

以下本発明の実施例について説明する。

第2図A、B、C、Dは本発明に基づいた製造工程を示すものであり、まず清掃処理を行なった

半導体基板としてのシリコン基板1上に基板化法または他の方法を用いてシリコン酸化膜2を絶縁膜として形成し、ソース・ドレイン部2部上の酸化膜を除去する。その後熱酸洗法やイオンインプランテーション法で適当な凹部2を形成する(第2図A)。次にゲート形成部の酸化膜を除去し、熱酸化もしくは他の方法でゲート酸化膜4を絶縁膜として適当な厚さ(800~2000Å)に形成し、その上に直ねてポリシリコン5を気相反応法や真空蒸着法、スペッタリング法等により形成する(第2図B)。次にファトレジスト6を塗布しゲート電極部のみを残してその上からイオンインプランテーション法でポリシリコン5をSi₃N₄アトミに変換する。この時の条件は内として加速電圧50KV、イオン密度 $5 \times 10^{17} \text{ cm}^{-2}$ でN⁺イオンを注入し、その後1000℃窒素中で約60分熱処理を施す(第2図C)。次に保護膜7としてシリコン酸化膜を気相反応法等により形成し、ゲート電極取り出し用コンタクトホールを形成して最後に配線用メタルとして使

用するための金属膜8、例えばAl、Mo、Ni等を真空蒸着法で形成して配線を完成する(第2図D)。ここでゲート電極(ポリシリコン5)へのコンタクトホールをポリシリコン5の巾より大きくあけてコンタクトを確実にした半導体装置の構造断面図を第3図に示す。本実施例ではポリシリコン5をSi₃N₄アトミに変換するのにN⁺イオンを注入したが、O⁻イオンであっても同じ条件下で注入すればN⁺イオンと同様の効果が得られる。

以上の如く本発明に基づくMOS型場柵回路の製造方法においてポリシリコンのゲート以外のところをN⁺イオン(イオンインプランテーション法)によってSi₃N₄アトミに変換するので成差がなく平坦構造となり、上記ポリシリコンに金属メタルを形成しても切れを生じないし、ゲート電極へのコンタクトホールをあける場合、ゲートのまわりはSi₃N₄の被膜物であるからいくら大きくあけてもよいのでファインパターンのゲートのセルファインコンタクトができる。

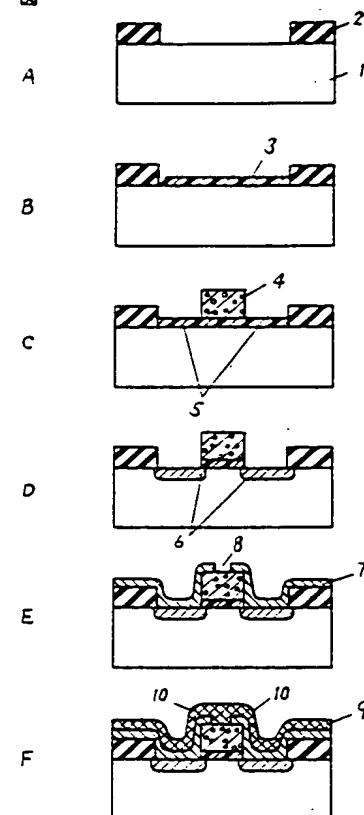
4. 図面の簡略説明

第1図A、B、C、D、E、Fは従来のMOS型場柵回路の製造工程図、第2図A、B、C、Dは本発明によるMOS型場柵回路の製造工程図、第3図は本発明による製造方法により製造されたMOS型場柵回路のコンタクトホールを大きくあけてコンタクトを容易にせしめた半導体装置の構造断面図である。

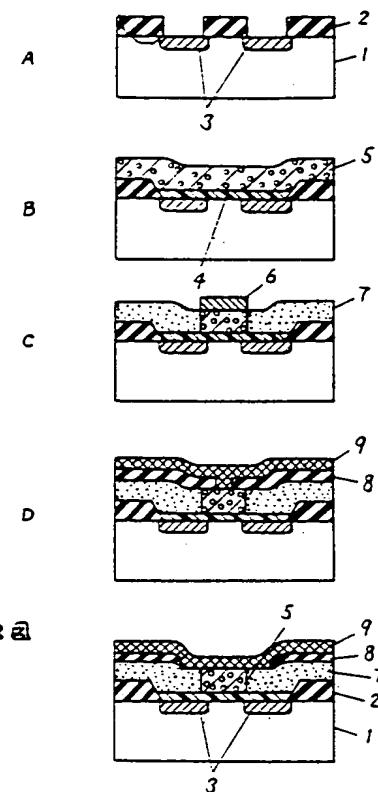
1……シリコン基板、2……シリコン酸化膜、3……ソース及びドレイン部2部、4……ゲート酸化膜、5……ポリシリコン、6……ファトレジスト、7……Si₃N₄、8……保護膜、9……金属膜。

代理人の氏名弁理士 中尾敏男 はか1名

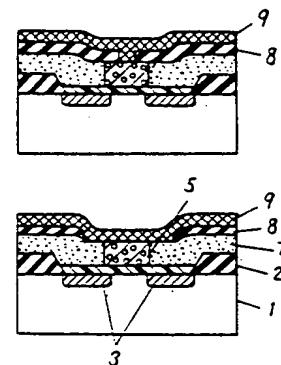
第1図



第2図



第3図



6 前記以外の発明者および代理人

(1) 発明者

住所 大阪府門真市大学門真1006番地
松下電器産業株式会社内

氏名 仁石 一義

(2) 代理人

住所 大阪府門真市大学門真1006番地
松下電器産業株式会社内

氏名 (6152) 井型士 萩野重幸